

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-257392**
 (43)Date of publication of application : **25.09.1998**

(51)Int.CI.

H04N 5/335
H01L 27/146
H04N 5/30

(21)Application number : **09-060332**

(71)Applicant : **MATSUSHITA ELECTRON CORP**

(22)Date of filing : **14.03.1997**

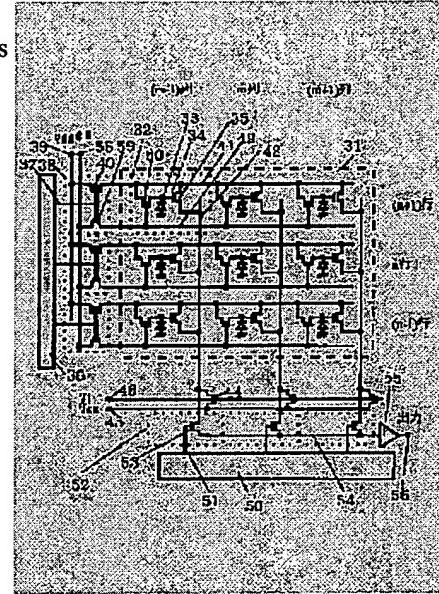
(72)Inventor : **KURODA TAKAO**
MASUYAMA MASAYUKI

**(54) PHYSICAL QUANTITY DISTRIBUTION DETECTION SEMICONDUCTOR UNIT,
 DRIVE METHOD AND MANUFACTURE THEREFOR**

(57)Abstract:

PROBLEM TO BE SOLVED: To make a plurality of the units small in size each provided with a detection section that detects a received physical quantity and a storage section that stores information of the detected physical quantity.

SOLUTION: A photoelectric conversion storage section 33 and its drive transistor(TR) 35 are placed to each of pixels 32 that are arranged in a form of matrix, and a row is selected by a row selection shift register 36 and a selected row drive TR 40 of a selected row drive section 38 that is conduction-controlled thereby. A column is selected by using a column selection shift register 50, so as to apply selective conduction control to the drive TR 35 and a load TR 44 which are the components of a source follower circuit as a buffer. Then the selected row drive TR 40 is connected to a selected row drive voltage input section 39 to apply selectively a power supply voltage (Vd) to the rows of the pixels 32 to select each row.



[Number of appeal against examiner's decision of 2005-09441
rejection]

[Date of requesting appeal against examiner's 19.05.2005
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-257392

(43)公開日 平成10年(1998)9月25日

(51)Int.Cl.⁶
H 04 N 5/335
H 01 L 27/146
H 04 N 5/30

識別記号

F I
H 04 N 5/335
5/30
H 01 L 27/14

P
A

審査請求 未請求 請求項の数18 O L (全 10 頁)

(21)出願番号 特願平9-60332
(22)出願日 平成9年(1997)3月14日

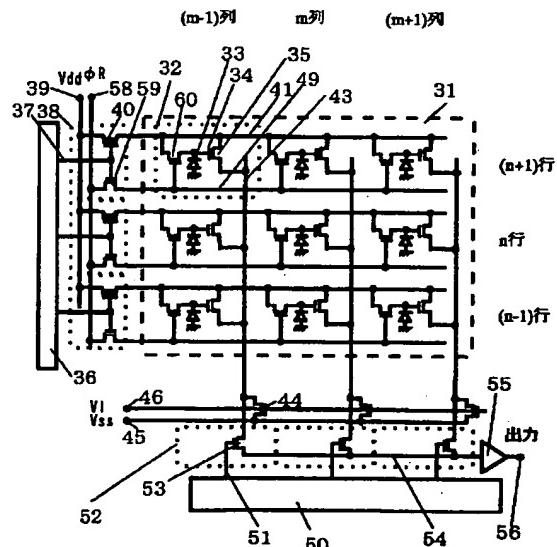
(71)出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号
(72)発明者 黒田 隆男
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 森山 雅之
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 物理量分布検知半導体装置およびその駆動方法ならびにその製造方法

(57)【要約】

【課題】 受けた物理量を検知する検知部と検知された物理量の情報を蓄積する蓄積部を備えた複数個の単位を小型化する。

【解決手段】 マトリックス状に配置された画素32それぞれに、光電変換蓄積部33とその駆動トランジスタ35とを配置し、行選択シフトレジスタ36と、それによって導通制御される、選択行駆動部38の選択行駆動トランジスタ40とで行の選択をする。列方向の選択は、列選択シフトレジスタ50によって、バッファとしてのソースフォロワ回路を駆動トランジスタ35と構成するロードトランジスタ44を選択的に導通制御することによって行う。そして、選択行駆動トランジスタ40を選択行駆動電圧入力部39に接続して、画素2の行に電源電圧(Vdd)の選択的に供給することによって行選択をする構成とした。



【特許請求の範囲】

【請求項1】 検知蓄積領域内の複数の単位領域のそれぞれに配置され、受けた物理量を検知するための検知手段および前記検知手段で検知された物理量の情報を蓄積するための蓄積手段を有する検知蓄積部と、前記検知蓄積部に対応させて配置され、前記対応する検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部と、前記検知蓄積部を選択するための選択機能部とを備え、前記選択機能部の出力部が前記バッファ部の電流制御手段の入力部と接続されていることを特徴とする物理量分布検知半導体装置。

【請求項2】 前記選択機能部が選択基本部と選択駆動部を備えたことを特徴とする請求項1に記載の物理量分布検知半導体装置。

【請求項3】 前記選択基本部の出力部が前記選択駆動部の入力部と接続されており、前記選択駆動部の入力部が埋め込み型トランジスタを備え、前記埋め込み型トランジスタのゲート入力部が前記選択駆動部の入力部と接続されていることを特徴とする請求項1または2に記載の物理量分布検知半導体装置。

【請求項4】 前記選択駆動部が第1、第2の出力部を有し、前記第1の出力部が前記選択伝達手段と接続されており、前記第2の出力部がリセット伝達手段と接続されていることを特徴とする請求項1、2または3に記載の物理量分布検知半導体装置。

【請求項5】 前記選択駆動部が少なくとも2個のトランジスタを備え、前記2個のトランジスタが前記選択基本部の出力部と共に接続されていることを特徴とする請求項1、2、3または4に記載の物理量分布検知半導体装置。

【請求項6】 前記単位領域に前記蓄積部をリセットするリセット機能部を備え、前記リセット機能部の電源入力部が前記選択伝達手段と接続され、前記リセット機能部の制御入力部に前記リセット伝達手段が接続されていることを特徴とする請求項1、2、3、4または5に記載の物理量分布検知半導体装置。

【請求項7】 前記選択機能部が読み出し行選択機能部であり、n行目の前記選択伝達手段が(n-1)行目の前記リセット機能部の入力部と接続されていることを特徴とする請求項1、2、3、4、5または6に記載の物理量分布検知半導体装置。

【請求項8】 前記蓄積部に蓄積された情報を検出して出力するバッファ部の接続制御手段を備え、同接続制御手段の制御入力部が前記第1の選択機能部の選択伝達手段と接続されていることを特徴とする請求項1、2、3、4、5、6または7に記載の物理量分布検知半導体装置。

【請求項9】 検知蓄積領域内の複数の単位領域のそれぞれに配置され、受けた物理量を検知する検知手段および検知された物理量の情報を蓄積する蓄積手段を有する

検知蓄積部と、前記検知蓄積部に対応させて配置され、前記対応する検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部と、前記検知蓄積部を選択するための選択機能部とを備え、前記選択機能部の出力部が前記バッファ部の電流制御手段の入力部と接続されていることを特徴とする物理量分布検知半導体装置。

【請求項10】 前記第2の選択機能部の出力部が前記バッファ部の出力部が、素子出力部と直接にまたはインピーダンス変換部を介して接続された信号伝達手段との接続を制御するための接続制御部の制御入力部に接続されていることを特徴とする請求項9に記載の物理量分布検知半導体装置。

【請求項11】 m列の前記バッファ部の電流制御手段の第1の入力部に(m-a)列(ただし、a≥1)の選択機能部の出力部が接続され、第2の入力部に(m-b)列(ただし、b≥1)の選択機能部の出力部が接続されていることを特徴とする請求項9または10に記載の物理量分布検知半導体装置。

【請求項12】 前記バッファ部の電流制御手段が二点定回路で構成されていることを特徴とする請求項9、10または11に記載の物理量分布検知半導体装置。

【請求項13】 前記単位領域の一部を選択する選択機能部の選択伝達手段と、前記バッファ部の検知蓄積領域外まで形成されている配線部とが、異なる層の配線材料で形成されている特徴とする請求項1、2、3、4、5、6、7、8、9、10、11または12に記載の物理量分布検知半導体装置。

【請求項14】 複数個の単位領域内のそれぞれに配置され、受けた物理量を検知するための検知手段と前記検知手段によって検知された物理量の情報を蓄積するための蓄積手段を有する検知蓄積部、ならびに、前記検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部を有し、前記複数個の前記単位領域の一部を選択する選択機能部の選択伝達手段が前記バッファ部の電源入力部と電気的に接続されている物理量分布検知半導体装置の駆動方法であって、読み出し行選択が選択された行の前記バッファ部への電源電圧が供給されることによって行われることを特徴とする物理量分布検知半導体装置の駆動方法。

【請求項15】 複数個の単位領域内のそれぞれに配置され、受けた物理量を検知するための検知手段と前記検知手段によって検知された物理量の情報を蓄積するための蓄積手段を有する検知蓄積部、ならびに、前記検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部を有し、複数個の前記単位領域の一部を選択する第1の選択機能部の選択伝達手段が前記バッファ部の電源入力部と電気的に接続されている物理量分布検知半導体装置の駆動方法であって、n行目の前記読み出し行選択が(n-1)行目の前記リセット選択と同時に行われることを特徴とする物理量分布検知半導体装置の駆動

方法。

【請求項16】複数個の単位領域内のそれぞれに配置され、受けた物理量を検知するための検知手段と前記検知手段によって検知された物理量の情報を蓄積するための蓄積手段を有する検知蓄積部、ならびに、前記検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部を有し、列を選択する第2の選択機能部の出力部が前記バッファ部の電流制御手段の入力部と接続されている物理量分布検知半導体装置の駆動方法であって、列選択と選択された列の前記バッファ部の電流を制御を同一のタイミングで行うことを特徴とする物理量分布検知半導体装置の駆動方法。。

【請求項17】複数個の単位領域内のそれぞれに配置され、受けた物理量を検知するための検知手段と前記検知手段によって検知された物理量の情報を蓄積するための蓄積手段を有する検知蓄積部、ならびに、前記検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部を有し、m列の前記バッファ部の電流制御手段の第1の入力部に $(m-a)$ 列（ただし、 $a \geq 1$ ）の第2の選択機能部の出力部が接続され、第2の入力部に $(m-b)$ 列（ただし、 $b \geq 1$ ）の第2の選択機能部の出力部が接続されている物理量分布検知半導体装置の駆動方法であって、m列前記バッファ部の電流を $(m-a)$ 列選択時に立ち上げ、 $(m-b)$ 列選択時に立ち下げるこことを特徴とする物理量分布検知半導体装置の駆動方法。

【請求項18】複数個の単位領域内のそれぞれに配置され、受けた物理量を検知するための検知手段と前記検知手段によって検知された物理量の情報を蓄積するための蓄積手段を有する検知蓄積部、ならびに、前記検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部を有し、複数個の前記単位領域の一部を選択する第1の選択機能部の選択伝達手段が前記バッファ部の電源入力部と接続されている物理量分布検知半導体装置の製造方法であって、少なくとも2層以上の金属系配線工程を用いることを特徴とする物理量分布検知半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、物理量分布検知半導体装置およびその駆動方法ならびにその製造方法に関するものである。

【0002】

【従来の技術】近年、各種物理量分布を検知するための半導体装置についての要望が強くなっている。とりわけそのうちの物理量として光を検知する固体撮像装置で、光電変換部で光電変換された信号電荷を蓄積する蓄積部を、電界効果トランジスタ（FET）のゲート部やバイポーラトランジスタのベース部などの、トランジスタの動作制御部と接続したり、もしくは蓄積部に動作制御部

を兼ねさせたりして、信号電荷量で変化する蓄積部の電位によってトランジスタを流れる電流を制御する、いわゆる增幅型固体撮像装置が注目されている。

【0003】以下、従来の物理量分布検知半導体装置の素子構成とその動作について、增幅型固体撮像装置を例にとり、図12を用いて説明する。図12に示すように、撮像領域（一般的には物理量検知蓄積領域）1内に画素2をマトリックス状に配置し、画素2には、光電変換部と蓄積部とを兼ねた光電変換蓄積部3、ならびにゲート部4をもつ駆動トランジスタ5を配置している。

【0004】選択行駆動部8に設けられ、選択行駆動電圧入力部9から電圧を供給される選択行駆動トランジスタ10を、行選択シフトレジスタ6の出力部7の電圧で導通制御する。選択行駆動トランジスタ10の出力を、行選択線11を通して行選択トランジスタ12に供給することによって、撮像領域1における画素2の読み出し行を選択する。

【0005】行選択トランジスタ12は垂直信号線13を介してロードトランジスタ14に接続されている。光電変換蓄積部3の出力電位は、それに蓄積された信号電荷量に応じて変化する。光電変換蓄積部3の出力電位は、電源供給線17に接続された駆動トランジスタ5のゲート部4に伝達される。この駆動トランジスタ5を駆動トランジスタとし、第2の電源電圧（Vss）端子15およびゲート入力部16に接続されたロードトランジスタ14をロードトランジスタとして、ソースフォロワ回路を形成する。電源供給線17には第1の電源電圧（Vdd）端子27から電源電圧（Vdd）を供給する。

【0006】駆動トランジスタ5とロードトランジスタ14とで形成されたソースフォロワ回路の出力は、列選択駆動部22に設けた信号列選択トランジスタ23を通して水平信号線24に供給されるのであるが、このとき信号列選択トランジスタ23の導通状態を列選択シフトレジスタ20が出力部21に発生する電圧によって制御する。これによって列を選択して、ソースフォロワ回路の出力を水平信号線24を通して選択的にインピーダンス変換部25に送り、インピーダンス変換部25から出力部26に出力する。

【0007】それぞれの画素からの信号を出力した後、リセット電圧入力部28から、選択行駆動部8の選択行リセット駆動トランジスタ29にリセット電圧を送り、画素リセット電圧供給線19を通して画素リセットトランジスタ30を駆動し、それによって、光電変換蓄積部3に蓄積されていた信号電荷をリセットする。そして再び信号電荷の蓄積を開始する。

【0008】

【発明が解決しようとする課題】このような従来の構成では、各画素毎に光電変換部と電荷蓄積部、もしくは上述の例におけるような両者を兼ねた光電変換蓄積部3と、読み出す行を選択するための行選択トランジスタ1

2と、光電変換蓄積部3の出力を増幅するための駆動用トランジスタ5と、電荷蓄積部もしくは光電変換電荷蓄積部3に蓄積された電荷をリセットするためのリセットトランジスタ30とを備えており、かつそれらのトランジスタを駆動するための電源供給線17や行選択線1、画素リセット電圧供給線19、垂直信号線13などの多くの入出力手段を有している。

【0009】このため画素構成が複雑となり、画素の高性能化が困難であり、また画素面積を縮小することによる多画素の実現や素子面積の縮小もむずかしかった。上記課題に鑑み、本発明の目的は、入力線に上述の役割を兼ねさせることで各画素の入力線の数を少なくし、それによって画素構成を簡単化し、画素の高性能化や画素面積を縮小することによって多画素の実現や素子面積の縮小を可能とすることにある。

【0010】

【課題を解決するための手段】この目的を達成するためには、本発明の物理量分布検知半導体装置は、検知蓄積領域内の複数の単位領域のそれぞれに配置され、受けた物理量を検知するための検知手段およびこの検知手段によって検知された物理量の情報を蓄積するための蓄積手段を有する検知蓄積部と、検知蓄積部に対応させて配置され、対応する検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部と、検知蓄積部を選択するための選択機能部とを備え、前記選択機能部の出力信号を伝達するための選択伝達手段が前記バッファ部の電源入力部と接続されていることを特徴とする。

【0011】また、本発明の物理量分布検知半導体装置の駆動方法は、検知蓄積領域内の複数の単位領域のそれぞれに配置され、受けた物理量を検知するための検知手段およびこの検知手段によって検知された物理量の情報を蓄積するための蓄積手段を有する検知蓄積部と、検知蓄積部に対応させて配置され、対応する検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部と、検知蓄積部を選択するための選択機能部とを備え、選択機能部の選択伝達手段がバッファ部の電源入力部と電気的に接続されている物理量分布検知半導体装置の駆動方法であって、読み出し行選択が選択された行の前記バッファ部への電源電圧が供給されることによって行われることを特徴とする。

【0012】さらにまた、本発明の物理量分布検知半導体装置の製造方法は、複数個の単位領域内のそれぞれに配置され、受けた物理量を検知する検知手段およびこの検知手段によって検知された物理量の情報を蓄積する蓄積手段を有する検知蓄積部と、検知蓄積部の蓄積手段に蓄積された情報を検出して出力するバッファ部とを備え、選択機能部の選択伝達手段がバッファ部の電源入力部と接続されている物理量分布検知半導体装置の製造方法であって、少なくとも2層以上の金属系配線工程を用いる。

【0013】

【発明の実施の形態】以下、本発明の物理量分布検知半導体装置の実施の形態について、図面を参照しながら説明する。図1は、本発明の第1の実施の形態としての、単位領域が二次元マトリックス状に配列された物理量分布検知半導体装置の具体例である固体撮像装置の構成図である。

【0014】撮像領域（一般的には物理量検知蓄積領域）31内に画素32を行列状に配置しており、(n-10)行、n行、(n+1)行、(m-1)列、m列、(m+1)列の部分を示した（ただしn、mは整数）。画素32には光電変換手段および蓄積手段を兼ね備えた光電変換蓄積部33と、ゲート部34をもつ駆動トランジスタ35とが配置されており、行選択シフトレジスタ36が出力部37に発生する電圧に応じて、選択行駆動部38内に設けられ、選択行駆動電圧入力部39から電圧(Vdd)が印加されている選択行駆動トランジスタ40の出力が、選択行電源供給線41を通して各画素32の駆動トランジスタ35に供給される。すなわち、読み出し行に電源電圧が供給される。駆動トランジスタ35の端子は垂直信号線43を介してロードトランジスタ44に接続される。蓄積された信号電荷に応じて変化した光電変換蓄積部33の電位が駆動トランジスタ35のゲート部34に伝達される。駆動トランジスタ35は、第2の電源電圧(Vss)端子45とゲート入力部46に接続されたロードトランジスタ44とでバッファとしてのソースフォロワ回路を形成する。

【0015】次に列選択シフトレジスタ50の出力部51の電圧により、列選択駆動部52に設けられた信号列30選択トランジスタ53によって、上述のソースフォロワ回路の出力が水平信号線54に接続され、インピーダンス変換部55を通じて出力部56に出力される。それぞれの画素からの信号を出力した後は、リセット電圧入力部58から印加されるリセット信号に応じて選択行リセット駆動トランジスタ59が動作して、画素リセット電圧供給線49に出力を発生する。画素リセットトランジスタ60は画素リセット電圧供給線49に供給された電圧に応じて導通し、光電変換蓄積部33に蓄積されていた信号電荷をリセットする。そして再び信号電荷の蓄積を開始する。

【0016】この構成によれば、選択行電源供給線41を通して、駆動トランジスタ35およびロードトランジスタ44とからなる、バッファとしてのソースフォロワ回路に電源から電力が供給されるため、従来例におけるような電源供給線17（図12）が不要になり、画素の構成が簡単なものとなる。ここで、選択行駆動電圧入力部39に印加される電源電圧Vddを減じることなくソースフォロワ回路の電源とするために、選択行駆動トランジスタ40としていわゆる埋め込みトランジスタが使われている。また、それにブーストストラップ回路を用いて

も、同様の効果を得ることができる。

【0017】以上のように構成された物理量分布検知半導体装置について、以下、その動作を説明する。図2は本発明の第1の実施の形態の駆動方法を示すタイミング図である。61、62はそれぞれn行、(n+1)行が選択された期間で、63は行選択駆動電圧で、選択行駆動電圧入力部39に印加される電源電圧Vddである。64は63の電圧の基準点(0V)、65、66はそれぞれn行の行選択電圧、(n+1)行の行選択電圧で、それぞれの行の選択行電源供給線41に印加される。67は(m-1)列の列選択電圧、68はm列の列選択電圧、69は(m+1)列の列選択電圧で、それぞれの列に対応する列選択シフトレジスタの出力部51の電圧である。70は出力電圧、71はリセット電圧入力部58に印加されるリセット電圧、72は(m-1)列の列選択パルス、73はm列の列選択パルス、74は(m+1)列の列選択パルス、75はn行(m-1)列の画素からの出力、76はリセットパルスである。

【0018】n行が選択された期間61で、(m-1)列、m列、(m+1)列が順次選択され、それぞれが出力部56から出力70として出力される。上述の実施の形態においては、光電変換蓄積部33が光電変換手段とその出力を蓄積するための蓄積手段とを兼ね備えた例について説明したが、光電変換手段と対応する光電変換手段の出力を蓄積するための蓄積手段とで光電変換蓄積部33を構成してもよいことは言うまでもないことがある。これは後述する実施の形態においても同じことが言える。

【0019】図3は、本発明の第2の実施の形態としての物理量分布検知半導体装置の構成を示す。この実施の形態が第1の実施の形態と異なるところは、駆動トランジスタ35と垂直信号線43との間に、ゲート入力部が選択行電源供給線41と接続された選択行トランジスタ42を備えていることである。

【0020】このような構成にすることによって、一つの列の垂直信号線43と接続される駆動トランジスタ35は選択された行に属する画素のもののみとなることが、広い電圧範囲で保証され、動作電圧範囲が確保できる。駆動方法を示すタイミング図は第1の実施の形態と同じである。図4は、本発明の第3の実施の形態としての物理量分布検知半導体装置の構成を示す。

【0021】この実施の形態が第2の実施の形態と異なるところは、図3における選択行リセット駆動トランジスタ59と画素リセット電圧供給線49とがなく、1行前の行選択線でもある選択行電源供給線79が画素リセット電圧供給線を兼ねており、画素リセットトランジスタ80の入力制御部に接続されていることである。これにより、画素構成はさらに簡単になる。

【0022】以上のように構成された物理量分布検知半導体装置について、以下、その動作を説明する。図5は

本発明の第3の実施の形態の駆動方法を示すタイミング図である。65はn行の行選択電圧であり、(n-1)行の画素リセットトランジスタ80の入力部に接続される(n-1)行リセットクロック81と同一のクロックである。

【0023】図6は、本発明の第4の実施の形態としての物理量分布検知半導体装置の構成を示す。この実施の形態が第3の実施の形態と異なるところは、列選択駆動部91に設けられた列選択トランジスタ92が選択列のソースフォロワ回路の電流スイッチの役割を兼ねていることである。

【0024】本発明の第1～3の実施の形態や従来例とも、ある行が選択されるとその期間中は全ての列のソースフォロワ回路の電流が流れれる構成になっていた。しかし、固体撮像装置を例にとると、列の数は数百から数千あるのが普通であり、その消費電流は大きなものになる。しかし、この第4の実施の形態によれば、出力のために選択された列のソースフォロワ回路の電流のみが流れれるため、消費電流を従来の数百の1から数千分の1の程度にまで低減させることができる。また、特に第1、第3の実施の形態では同一行のすべてのソースフォロワ回路の電流が選択行電源供給線41、79を通じて供給されるので、選択行電源供給線41、79の電流容量が低いと電圧降下を生じるために正常に動作しなくなり、必要な列のソースフォロワ回路のみに選択的に電流を流すことは効果が大きい。

【0025】図7は本発明の第5の実施の形態としての物理量分布検知半導体装置の構成を示す。この実施の形態が第4の実施の形態と異なるところは、各ソースフォロワ回路の出力が列選択トランジスタ92を介して水平信号線93と接続されていることである。

【0026】第4の実施の形態では全ての垂直信号線が常に接続された状態にあるため、選択列が切り替わる際に、選択された列のソースフォロワ回路が他の全ての垂直信号線の持つ容量を充電する必要があり、また、早く定常状態に達しさせるには、ソースフォロワ回路の時定数を小さくする必要があるが、一つの画素32の中の駆動トランジスタの寸法を大きくすることには限度がある。

【0027】それに対して、第5の実施の形態では、選択された列のソースフォロワ回路出力は他の列の垂直信号線とが接続されないため、充電すべき容量は数百分から数千分の1に減少でき、充電時間が長くなるという問題は発生しにくい。またこの構成においては、図7では各列ごとにロードトランジスタ44を設けているが、これらのロードトランジスタ44は常に並列に接続されており、共通の1個のロードトランジスタで置き換えることもできる。

【0028】図8は本発明の第6の実施の形態としての物理量分布検知半導体装置の構成を示す。第4、5の

実施の形態と異なるところは、列選択トランジスタ92とは独立に電流制御列選択トランジスタ95を設け、かつそのトランジスタのゲートを列選択シフトレジスタの出力部51に共通接続し、水平信号線93と垂直信号線とは列選択トランジスタ92を介して接続したことである。

【0029】これによって選択された列にのみソースフォロワ回路に電流が流れ、かつ水平信号線93と接続する垂直信号線43は選択された列だけであり、選択された列のロードトランジスタ44だけがロードトランジスタとして機能する。図9は本発明の第7の実施の形態としての物理量分布検知半導体装置の構成を示す。

【0030】第4～6の実施の形態では、信号を読み出すための列選択期間とソースフォロワ回路に電流を流すための列選択期間が同一である。選択された列の信号を出力する期間に比べて、ソースフォロワ回路に電流が流れから出力が定常状態に達するまでの時定数が充分小さい場合には、これでも不都合を生じることはない。しかしながら、駆動トランジスタ35の電流駆動能力を寸法等の関係で充分にとれない場合や、垂直方向の画素数が多い等の理由で垂直信号線43の容量が大きい場合には、出力する期間よりもソースフォロワ回路に電流が流れる期間を長くする必要がある。

【0031】そのために、第7の実施の形態では、ソースフォロワ回路に電流が流れる期間を出力する期間とは独立に選択できるようにしている。すなわち、電流制御選択電圧発生回路部97を備え、m列のソースフォロワ回路に流す電流を(m-1)列の列選択シフトレジスタの出力部51-aと接続された第1の入力部98と(m+1)列の列選択シフトレジスタの出力部51-bと接続された第2の入力部99と電流制御選択電圧出力部100を備えている。

【0032】図10は本発明の第8の実施の形態としての物理量分布検知半導体装置の要部の構成を示す。101は電流制御選択電圧発生回路部で、図9の電流制御選択電圧発生回路部97に対応するもので、スタチックRSフリップフロップ回路とか二安定素子と称されている、よく知られた構成の回路である。102は第1の電源入力部(Vdd)で、103は第2の電源入力部(Vss)である。104は第1の入力部、105は第2の入力部、106は出力部であり、図9の第1の入力部98、第2の入力部99、電流制御選択電圧出力部100にそれぞれ相当する。この回路はいわゆる双安定回路と呼ばれるもので、第1の入力部104への正パルスで出力部106が第1の電源電圧状態となり、第2の入力部105への正パルスで出力部106が第2の電源電圧状態となる。

【0033】図11は第7および第8の実施の形態を組み合わせた場合の駆動方法を示すタイミング図である。

110、114、112はそれぞれ(m-1)列、m

列、(m+1)列の列選択電圧で、それぞれの列選択シフトレジスタの出力部51の電圧である。そして、113、114、115はそれぞれ(m-1)列、m列、(m+1)列の選択状態を表す列選択パルスである。116、117、118はそれぞれ(m-1)列、m列、(m+1)列の電流制御列選択電圧で、それぞれの電流制御選択電圧発生回路部97の出力部100の電圧である。そして119、120、121はそれぞれ(m-1)列、m列、(m+1)列の電流制御選択状態を表す電流制御選択パルスである。m列の電流制御選択パルス112を例にとると、(m-1)列の列選択パルス113の立ち上がりで、第1の電源電圧状態となり、(m+1)列の列選択パルス115の立ち上がりで、第2の電源電圧状態となる。すなわち、m列が出力する列として選択される以前に、m列のソースフォロワ回路に電流は流れ始め、m列の出力が終了してからm列のソースフォロワ回路の電流は流れなくなる。ここで説明は(m-1)列の列選択パルス113で立ち上がり、(m+1)列の列選択パルス115の立ち上がりで立ち下がる配線になっているが、もっと以前の列選択パルスで立ち上がるようすれば、もっと早く電流が流れ始めるよう設定できることは当然である。また立ち下がりについても、必要があればもっと遅く設定することは同様に可能である。

【0034】また、電流制御選択電圧発生回路部97の具体的な回路として図10にいわゆる二安定素子を例示したが、この回路構成に限定されるものではなく、たとえばこれのCMOS回路やその他の論理回路でも同様の効果があることは明らかである。また、入力部へ印加されるクロックの立ち上がりで出力が立ち上がる、または立ち下がる回路構成を例として示したが、入力の立ち下がりで出力が立ち上がる、または立ち下がる回路で構成できることも明らかである。

【0035】さらにまた、第4～8の実施の形態の画素部および行選択部分の構成については、第3の実施の形態と同じ構成として説明した。しかし第4～8の実施の形態の発明は第1～3の実施の形態の発明とは独立であり、画素部および行選択部分の構成は第1～3の実施の形態でも、また従来技術でも同様の効果を有することは明らかである。

【0036】図12に示した従来例における素子構成では、低抵抗性(大電流容量)が必要な構成要素は垂直信号線13と電源供給線17だけである。これらは設計的に制約が厳しい画素2の中では互いに平行に配置することが可能なため、同一の低抵抗性の配線膜(たとえば金属系層)で形成することができる。しかし、図1およびそれ以降に示した本発明の実施の形態では低抵抗性(大電流容量)が必要な構成要素は選択行電源供給線41と垂直信号線43である。図1に示されるように、これらは互いに平行ではなく、むしろ直交する関係にある。こ

のため、本発明の実施の形態を実現するためには、同一の配線膜で形成するのではなく、それぞれが互いに異なる層の配線膜で形成する方がはるかに容易である。

【0037】なお、ここに説明した実施の形態では、簡単のために光電変換部と信号電荷蓄積部を兼ねた光電変換蓄積部を備えた場合について説明したが、光電変換部と信号電荷蓄積部が個別に形成された場合も有効であることはいうまでもない。また、出力を出力バッファを介した場合を例にとって説明したが、出力バッファは本発明において必須の要素でないことは明らかである。

【0038】また、説明のために実質的に固体撮像装置を例にとったが、たとえばX線、赤外線、温度、磁場、電場、圧力等その他の物理量を検知する検知部を設け、受けた物理量によって変化した電位を駆動トランジスタのゲート部に伝達すれば、光以外の物理量分布検知半導体装置一般に有効であることもいうまでもない。また、説明は単位領域が二次元状に形成された場合を例にとって行ったが、基本的な概念は単位領域が一次元状に位置された場合でも有効であることは明らかである。

【0039】また、行選択、もしくは列選択機能部としていわゆるシフトレジスタを用いて説明したが、これらはいわゆるデコーダを用いても同様の効果が得られるることは明らかである。

【0040】

【発明の効果】以上のように、本発明は、行選択機能と電源電圧供給機能、さらにはリセット機能までを兼ね備えさせることによって、構成の簡単な物理量分布検知半導体装置を実現するものである。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における素子構成を示す構成図

【図2】本発明の第1の実施の形態における駆動方法を示すタイミング図

【図3】本発明の第2の実施の形態における素子構成を示す構成図

【図4】本発明の第3の実施の形態における素子構成を示す構成図

【図5】本発明の第3の実施の形態における駆動方法を示すタイミング図

【図6】本発明の第4の実施の形態における素子構成を示す構成図

【図7】本発明の第5の実施の形態における素子構成を示す構成図

【図8】本発明の第6の実施の形態における素子構成を示す構成図

【図9】本発明の第7の実施の形態における素子構成を示す構成図

【図10】本発明の第8の実施の形態における素子構成の一部を示す構成図

【図11】本発明の第7、8の実施の形態における駆動

方法を示すタイミング図

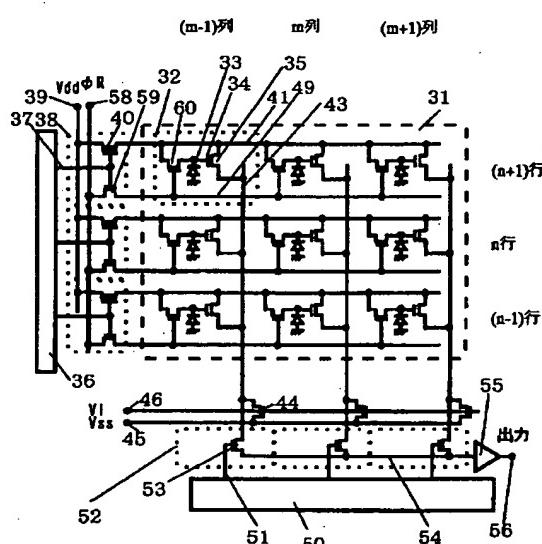
【図12】従来の物理量分布検知半導体装置の素子構成を示す構成図

【符号の説明】

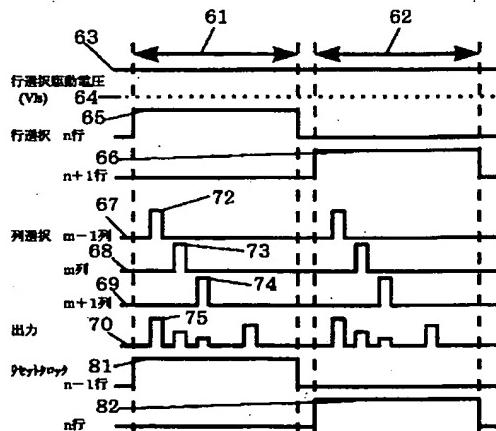
- | | |
|-----|---------------------------------|
| 3 1 | 撮像領域（一般的には物理量検知蓄積領域） |
| 3 2 | 画素 |
| 3 3 | 光電変換部と蓄積部を兼ねた光電変換蓄積部 |
| 3 4 | 駆動トランジスタ35のゲート部 |
| 3 5 | 駆動トランジスタ |
| 10 | 3 6 行選択シフトレジスタ |
| | 3 7 行選択シフトレジスタ出力部 |
| | 3 8 選択行駆動部 |
| | 3 9 選択行駆動電圧入力部 |
| | 4 0 選択行駆動トランジスタ |
| | 4 1 選択行電源供給線 |
| | 4 2 行選択トランジスタ |
| | 4 3 垂直信号線 |
| | 4 4 ロードトランジスタ |
| | 4 5 第2の電源電圧(V _{ss})端子 |
| 20 | 4 6 ロードトランジスタのゲート入力部 |
| | 4 9 画素リセット電圧供給線 |
| | 5 0 列選択シフトレジスタ |
| | 5 1 列選択シフトレジスタの出力部 |
| | 5 2 列選択駆動部 |
| | 5 3 信号列選択トランジスタ |
| | 5 4 水平信号線 |
| | 5 5 インピーダンス変換部 |
| | 5 6 出力部 |
| | 5 8 リセット電圧入力部 |
| 30 | 5 9 選択行リセット駆動トランジスタ |
| | 6 0 画素リセットトランジスタ |
| | 6 1 n行が選択された期間 |
| | 6 2 (n+1)行が選択された期間 |
| | 6 3 行選択駆動電圧 |
| | 6 4 63の電圧の基準点(0V) |
| | 6 5 n行の行選択電圧 |
| | 6 6 (n+1)行の行選択電圧 |
| | 6 7 (m-1)列の列選択電圧 |
| | 6 8 m列の列選択電圧 |
| 40 | 6 9 (m+1)列の列選択電圧 |
| | 7 0 出力電圧 |
| | 7 1 リセット電圧 |
| | 7 2 (m-1)列の列選択パルス |
| | 7 3 m列の列選択パルス |
| | 7 4 (m+1)列の列選択パルス |
| | 7 5 n行(m-1)列の画素からの出力 |
| | 7 6 リセットパルス |
| | 7 9 選択行電源供給線 |
| | 8 0 画素リセットトランジスタ |
| 50 | 8 1 (n-1)行リセットクロック |

- 8 2 n行リセットクロック
 9 1 列選択駆動部
 9 2 列選択トランジスタ
 9 3 水平信号線
 9 5 電流制御列選択トランジスタ
 9 7 電流制御選択電圧発生回路部
 9 8 電流制御選択電圧発生回路部の第1の入力部
 9 9 電流制御選択電圧発生回路部の第2の入力部
 1 0 0 電流制御選択電圧出力部
 1 0 1 電流制御選択電圧発生回路部
 1 0 2 第1の電源入力部
 1 0 3 第2の電源入力部
 1 0 4 第1の入力部
 1 0 5 第2の入力部

【図1】

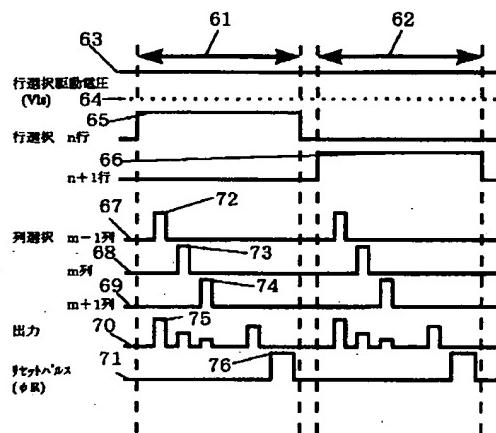


【図5】

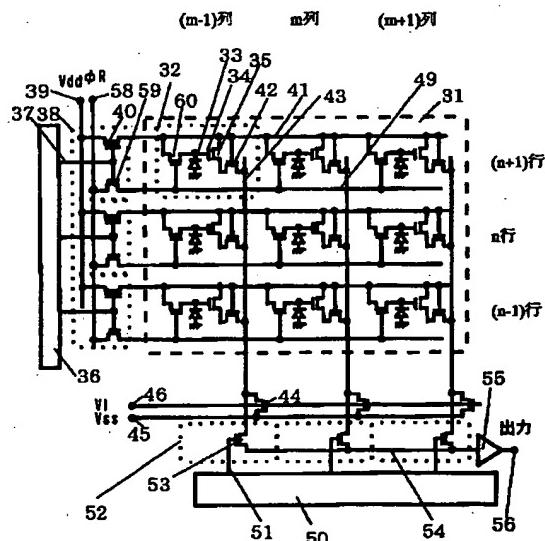


- 1 0 6 出力部
 1 1 0 (m-1)列の列選択電圧
 1 1 1 m列の列選択電圧
 1 1 2 (m+1)列の列選択電圧
 1 1 3 (m-1)列の列選択パルス
 1 1 4 m列の列選択パルス
 1 1 5 (m+1)列の列選択パルス
 1 1 6 (m-1)列の電流制御列選択電圧
 1 1 7 m列の電流制御列選択電圧
 1 1 8 (m+1)列の電流制御列選択電圧
 1 1 9 (m-1)列の電流制御列選択パルス
 1 2 0 m列の電流制御列選択パルス
 1 2 1 (m+1)列の電流制御列選択パルス

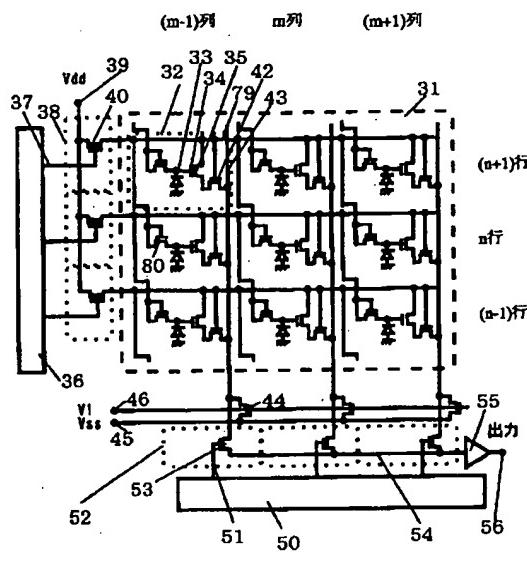
【図2】



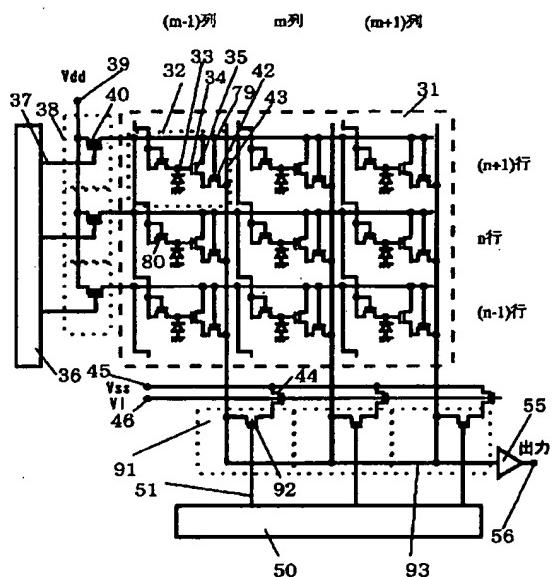
【図3】



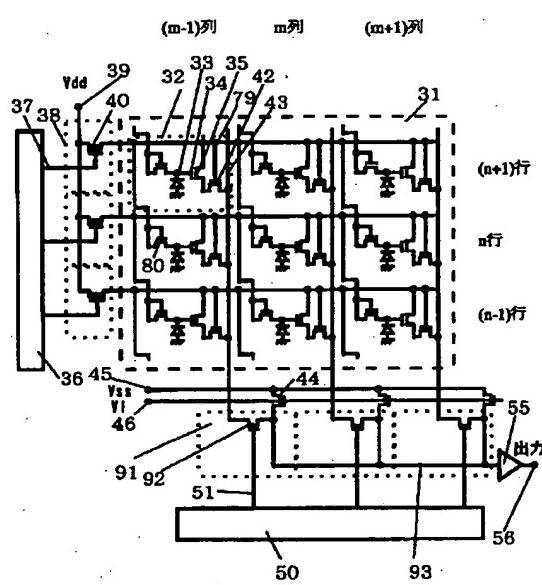
【図4】



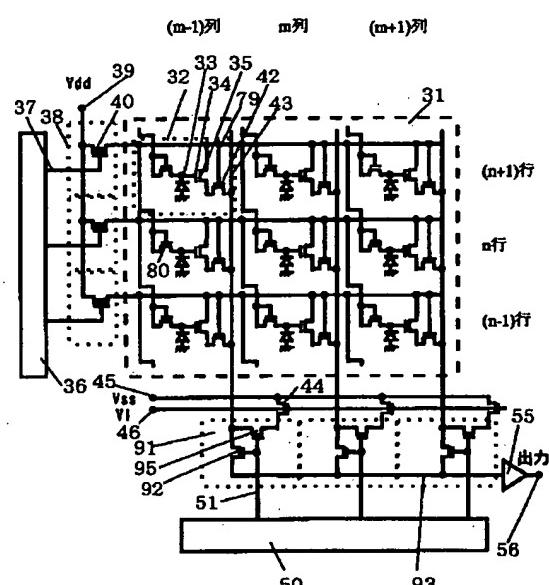
【図6】



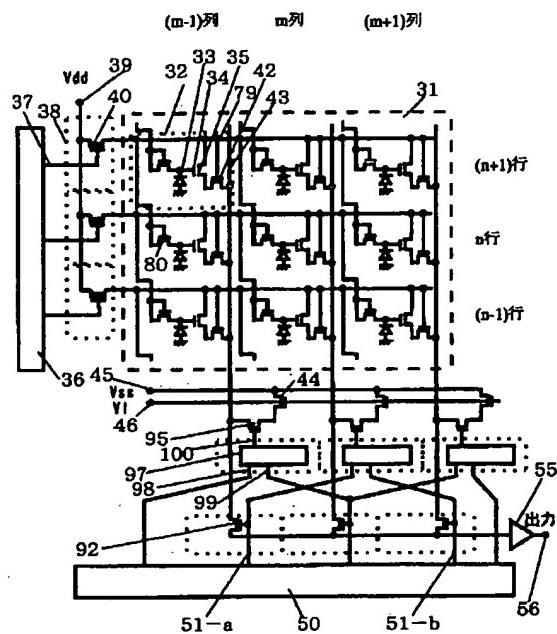
【図7】



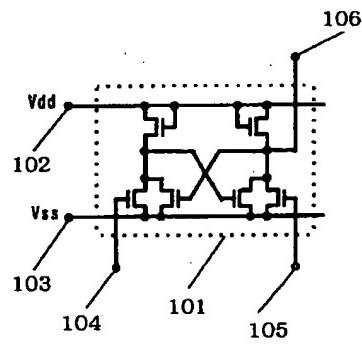
【図8】



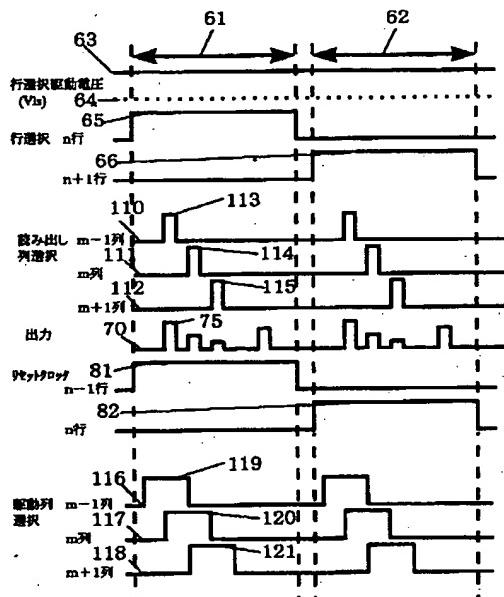
[図 9]



【図10】



[図11]



【図12】

